

基于多核系统的 2D-Mesh 片上网络的设计研究

孔德春, 施慧彬

(南京航空航天大学 计算机科学与技术学院, 江苏 南京 210016)

摘 要: 针对传统总线系统架构的缺点, 为提高多核系统性能, 设计了一个 2D-Mesh Network-on-chip(NoC)片上网络, 通过片上网络中的路由器来连接芯片上的各个处理器核, 实现核间通信. 2D-Mesh 拓扑结构、电路交换技术和 XY 路由算法保证了系统的延迟和吞吐量, 硬件设计语言 Verilog HDL 物理实现 NoC. 利用 Altera 公司的 FPGA 开发板对本文设计的片上网络 NoC 进行测试, 测试结果表明本文所设计的片上网络是正确的, 能有效的完成系统通信.

关键词: 2D-Mesh; NoC; 电路交换; XY 路由算法

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)04-0075-04

Research and Design of 2D - Mesh Network - on - Chip Based on Multi-core System

KONG De-chun, SHI Hui-bin

(Computer Science and Technology, Nanjing University of Aeronautics and
Astronautics College, Nanjing 210016, China)

Abstract: Considering the shortcomings of the traditional bus system architecture, in order to improve the multi-core system performance, Mesh Network - on - chip (NoC) is designed in this paper. Processor core on the chip links each other through the routers in the NoC, and the communication between nuclears are implemented. The 2D-Mesh topology structure, circuit switching technology and XY routing algorithm can guarantee the delay and throughput of the system, and hardware design language Verilog HDL achieved physical NoC. The FPGA Development Board of Altera company was used to test the NoC, the test result shows that this design on the NoC is correct, and can complete system communication effectively.

Key words: 2D-Mesh; NoC; circuit switching; XY routing algorithm

1 引言

片上网络 NoC 的出现为片上系统 System-on-chip (SoC) 的设计提供了一种新的方法^[1], 涉及硬件通信结构、中间件、操作系统通信服务、设计方法及工具等. 基于 NoC 的多核系统有效解决了在复杂 SoC 设计中常遇到的全局异步局部同步的时钟机制问题. NoC 借鉴并行计算互连网络的思想, 是一种全新的片上通信策略, 明显提升了多核系统的性能势.

片上网络的思想于上世纪末被研究者提出, 目前关于该技术的研究主要包括拓扑结构、路由算法、

通信协议、交换技术等^[2]. 本文采用 2D-Mesh 拓扑结构、XY 确定性路由算法^[3]和电路交换技术, 设计一个应用于特定多核系统的片上网络.

2 总体设计方案

与传统总线结构不同, 在设计片上网络时需要考虑如下问题: 怎样选择网络拓扑结构, 以保证网络的延迟和吞吐量; 特定系统条件下, 路由算法的选择和优化; 在路由器设计方面^[4], 1 路路由器和多路路由器的比较和选择; 网络接口模块的设计; 交换技术决定着交换节点的结构, 影响着网络性能;

本文设计的片上网络如图 1 所示,是一个 4×4 的 2D-Mesh 片上网络. 图中 R 代表路由器(Router),仲裁数据的流向,决定数据包在路由网络内的传输路径;IP 代表资源节点(Intellectual Property),本文中为 Nios II 软核处理器;NI 代表网络接口(Network Interface),路由器 R 与 IP 核通过网络接口进行通信,网络接口主要负责两者之间的数据转换和传输;各个 R 之间的连线组成互连网络,其拓扑结构决定了网络节点的连接方式.

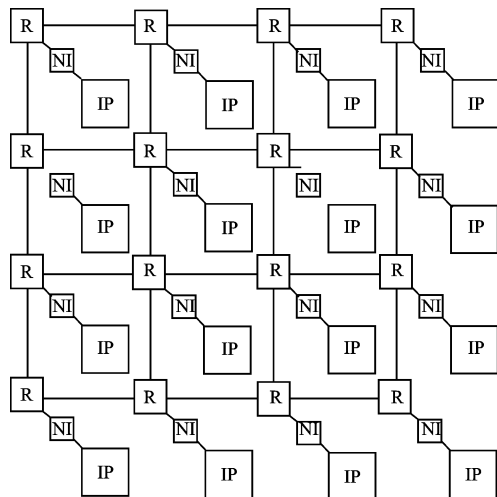


图 1 4×4 2D-Mesh 片上网络总体架构

3 相关技术

3.1 路由算法

本文采用 XY 路由算法,其是 2D-Mesh 网络中维序路由的一种. 数据包先在 x 方向上传送,然后在 y 方向上传送,直至达到目的节点,避免了死锁现象的出现. 具体的工作流程如图 2 所示,当路由器开始处理一个数据包的时候,路由节点将自己的坐标 $(0,0)$ 同数据包的目的地址 $(3,3)$ 相比较. 首先比较 x 方向,由于 $0 < 3$,则将数据包向右转发,直到 $(3,0)$ 节点和目的节点的 x 坐标值相同;然后比较传输节点和目的节点的 y 值,此时传输节点 $y=0$ 小于目的节点 $y=3$,则将数据包向上转发,直到到达目的节点;这样路由节点就把数据包发往与之相连的处理单元,实现了数据在 NoC 中的传输.

3.2 拓扑结构

拓扑结构体现了片上网络中路由器 R 的分布和连接方式,直接影响着芯片面积和系统性能. 设计时必须要考虑网络中节点数量、网络维度和边的数量,同时,还要考虑功耗、吞吐量、传输延迟和芯片面积等因素. 本文采用如图 2 所示的 2D-Mesh 网络拓

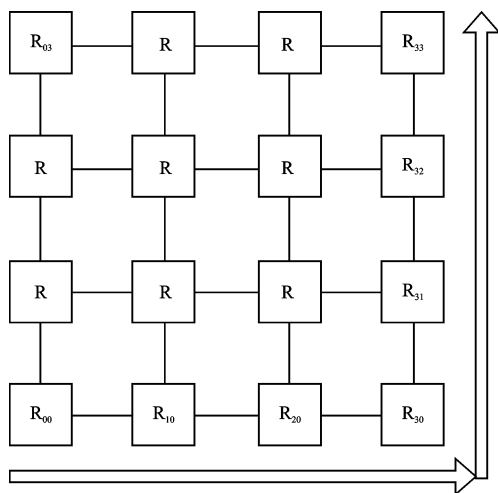


图 2 2D-Mesh 网络拓扑结构及路由算法

扑结构,图中路由节点分为 3 类:顶节点,边节点和中间节点. 顶节点位于图 2 中的四个角落 $(R_{00}, R_{30}, R_{33}, R_{03})$,连接两个路由节点和一个资源节点;边节点是图中四条边中除了顶节点之外的节点,连接三个路由节点和一个资源节点;中间节点连接四个路由节点和一个资源节点.

3.3 交换技术

NoC 中的交换技术分为面向连接的和无连接的两种. 无连接有存储交换、虚切通和虫孔交换,面向连接的有电路交换. 本设计采用电路交换,源节点和目的节点之间建立直接连接路径,可以保证数据吞吐量和传输时延. 通信时数据分为若干个数据包,包头中存储有目的地址,路由节点根据标志位解析包头后,按照路由规则建立传输路径. 目的节点在收到一个请求传输信号后返回一个应答信号,源节点收到应答后便开始传输数据. 传输时数据将独占传输通道直到传输结束,因此不会发生消息堵塞,保证了延迟和吞吐量.

4 路由器的设计

通过对 1 路路由器和多路路由器的分析比较,本文采用如图 3 所示的 1 路路由器,其可以保证片上网络的低功耗、低面积以及数据发送和接收的一致性. 每个路由器具有 8 个输入端口和 8 个输出端口,用“0001-1000”表示. 一个输入链路只能对应一个输出链路,例如最中间的路路由器在 East(001)方向有 8 个输入链路,每条链路的宽度为 1 位,这 8 条输入分别与 West(010)、North(011)、South(100)以及 Local(101)四个方向的 8 个输出链路对应,采用 3 位二进制编码表示五个方向,每个方向都连接一

个功能一致的仲裁器.由于本文路由器采用电路交换技术,传输路径已经确定,所以仲裁器只需完成数据的传达,无需分析数据的目的地址.

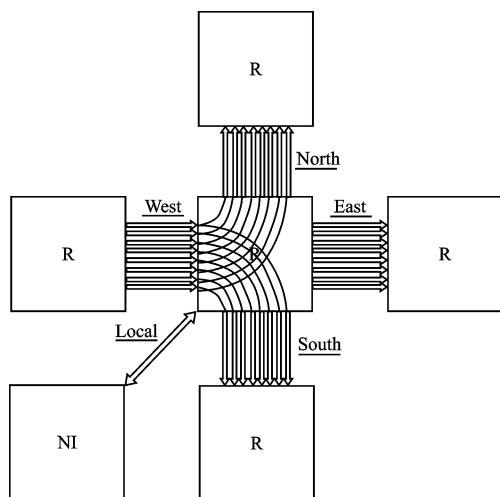


图3 1路路由器结构示意图

West方向仲裁电路如图4所示, $WInAllocate$ 为3位控制信号,用于路由器输出方向判断数据的输入方向, $OutWIndex$ 为4位输入,表示路由器West输出方向的链路分配情况.仲裁器仲裁过程:首先,仲裁器根据 $WInAllocate$ 的编码值确定数据输入方向,如果值为“011”,表示路由器West方向的输出数据来自North方向的输入数据;其次,仲裁器根据 $OutWIndex$ 确定输出数据的具体值,如果 $OutWIndex$ 为“0001”表示虚电路使用路由器的第一个输出链路,即 $OutWest[0] = InNorth[0]$.本设计使用 Verilog HDL 语言实现路由器的设计,其部分核心代码如图5所示.

5 网络接口的设计

网络接口负责连接本地资源节点和路由节点,实现总线结构和片上网络结构之间通信协议的转换,具有双向输入输出端口.本设计针对的是 Altera 公司 Nios II 处理器的 Avalon 总线结构^[5],网络接口与其相连的端口部分需要与 Avalon 总线主要的输入输出信号相对应,此外网络接口的读写时序要与 Avalon 总线的读写时序相对应,这样才能保证处理器和片上网络之间进行正确的读写和传输.如果读写的建立和保持时间不满足,可以通过修改参数来保证基本的读写时序.

网络接口的结构主要包括数据发送模块和数据接收模块,前者由数据发送分配器和数据串行器组成,后者由数据接收分配器和数据并行器组成.

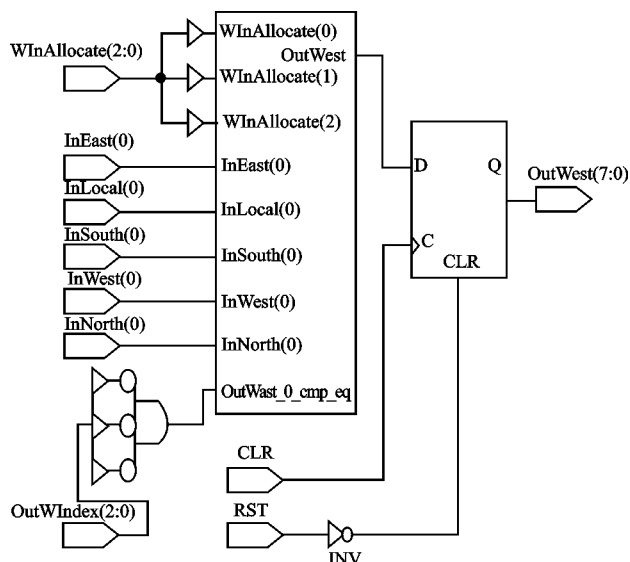


图4 West方向仲裁电路

```
case(OutE_0_AllocatedInput)
  3'b001 : case(OutE_0_AllocatedInput Index)
    "" : OutE[0] ≤ InE[0];
    default: OutE[0] ≤ 1'b0;
  endcase
  3'b010 : case(OutE_0_AllocatedInput Index)
    "" : OutE[0] ≤ InW[0];
    default: OutE[0] ≤ 1'b0;
  endcase
  3'b011 : case(OutE_0_AllocatedInput Index)
    "" : OutE[0] ≤ InN[0];
    default: OutE[0] ≤ 1'b0;
  endcase
  3'b101 : case(OutE_0_AllocatedInput Index)
    "" : OutE[0] ≤ InL[0];
    default: OutE[0] ≤ 1'b0;
  endcase
DEFAULT : OutE[0] ≤ 1'b0;
endcase
```

图5 路由器设计中的部分核心代码

具体运行原理如下:数据发送分配器连接 Avalon 总线的输出和数据串行器的输入,将接收到的数据存储在内部寄存器中,之后使用与虚电路对应的串行器将16位并行数据串化为16个一位的数据,数据接收模块的工作原理与发送模块的相反.利用 Verilog HDL 语言实现的数据发送模块的部分核心代码如图6所示.

6 结束语

本设计利用硬件设计语言 Verilog HDL 在 RTL 级上物理实现片上网络的设计,使用 Model-Sim 进行综合仿真,在 DE2 开发板上利用验证程序

进行了测试,测试结果如图 7 所示,结果表明 NoC 设计正确,能进行有效的通信。

```
sendData U_sendData(.FSL_S_Data(namedSignal_sendDataDistributor_FSL_S_Data),
.FSL_S_Exists(namedSignal_sendDataDistributor_FSL_S_Exists),
.FSL_S_Read(namedSignal_sendDataDistributor_FSL_S_Read),
.out0FsmDataToSend(namedSignal_send1DataDistributor_Out0FsmDataToSend),
.out0FsmDataToSendNew(namedSignal_send1DataDistributor_out0FsmDataToSendNew),
.out0FsmDataToSendNewAck(namedSignal_send1DataDistributor_out0FsmDataToSendNewAck),
.out0FsmIdle(namedSignal_send1DataDistributor_out0FsmIdle),
.programingInProgress (namedSignal_send1DataDistributor_programingInProgress),
.sendWiresAllocated(namedSignal_send1DataDistributor_sendWiresAllocated),
.CLK(namedSignal_CLK),.RST(namedSignal_Rst));
serializer U_serializer(.dataToSend(namedSignal_outFsm_DataToSend),
.dataToSendNew(namedSignal_outFsm_DataToSendNew),
.dataToSendNew(namedSignal_outFsm_DataToSendNewAck),
.output_xhd0(namedSignal_outFsm_outFsm_Output),
.idle(namedSignal_outFsm_Idle),.CLK(namedSignal_CLK),.RST(namedSignal_Rst));
```

图 6 数据发送模块的 Verilog HDL 核心代码

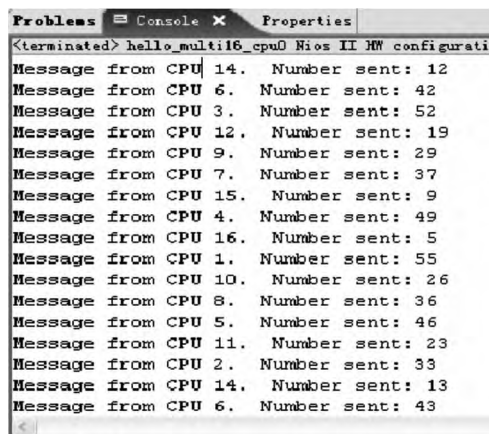


图 7 测试程序运行结果图

在实际应用中,片上网络可以随资源节点的数量、接口协议、通信要求等进行调整,本文设计的片

上网络使用 Avalon 总线协议,对使用诸如 AXI、OCP 等协议的资源节点,只需对网络接口的资源节点端的接口协议进行一定的修改即可适用。

参考文献:

- [1] Ju X, Yang L. NoC research and practice: design and implementation of 2×4 2D-torus topology[J]. International Journal of Information Technology and Computer Science, 2011, 3(4): 50-56.
- [2] Freitas H C, Navaux P O A, Santos T G S. Noc architecture design for multi-cluster chips[C] // Field Programmable Logic and Applications, 2008. International Conference on. Minnesota, IEEE, 2008: 53-58.
- [3] 黎黎. 片上网络路由算法研究及路由节点的 FPGA 设计[D]. 成都: 电子科技大学, 2007.
- [4] 刘毅, 杨银堂, 周东红. 一种面向片上网络的多时钟路由器设计[J]. 西安电子科技大学学报, 2011, 38(2): 146-150.
- [5] 任泽坤. 一种 NOC 路由架构设计与分析[D]. 西安: 西安电子科技大学, 2011.

作者简介:

孔德春 男, (1988-), 硕士研究生. 研究方向为多核核间通信. E-mail: konglingqua@163.com.

施慧彬 男, (1966-), 博士, 副教授. 研究方向为计算机体系结构、多核微处理器设计、可重构计算、多核虚拟化技术、嵌入式系统、编译技术、软件工程.

(上接第 74 页)

试可以减少 63.3ms 的测试时间, 同时又能保证准确度. 对于大批量的芯片, 这种算法运用在实际测试中可以降低一部分测试成本.

参考文献:

- [1] Guang Ge, Cheng Zhang, Gian Hoogzaad, et al. A single-trim CMOS bandgap reference with a 3σ inaccuracy of $\pm 0.15\%$ from 4°C to 125°C [J]. IEEE Journal of Solid-State Circuits, 2011, 46(11): 2693-2701.
- [2] 汤华莲, 庄奕琪, 张丽, 等. 一种可校准的低温漂基准电流源[J]. 西安电子科技大学学报: 自然科学版, 2013, 40(4): 130-136.
- [3] Buddhika Abesingha, Gabriel A Rincón-Mora, David Briggs. Voltage shift in plastic-packaged bandgap references[J]. IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal, 2002, 49(10):

1-5.

- [4] Wortman J J, Hauser J R, Burger R M. Effect of mechanical stress on p-n junction device characteristics [J]. Applied Physics, 1964, 35(1): 2122-2131.
- [5] Brokaw A P. A simple three-terminal IC bandgap reference[J]. Solid-State Circuits, 1974, 9(6): 388-393.
- [6] Ning Zhihua, He Le nian. A low drift curvature-compensated bandgap reference with trimming resistive circuit[J]. Journal of Zhejiang University-SCIENCE C: Computers & Electronics, 2011, 12(8): 698-706.
- [7] 季赛健, 刘文平, 徐俊华. 一种用于模拟电路修调的 EEPROM 电路[J]. 微电子学与计算机, 2011, 28(7): 198-201.

作者简介:

葛南女, (1989-), 硕士研究生. 研究方向为 Analog 测试. E-mail: 904991007@qq.com.